

Phase change recording apparatus having front and rear pulse changing means

Patent Number: US6044055

Publication date: 2000-03-28

Inventor(s): HARA MASAAKI (JP)

Applicant(s): SONY CORP (JP)

Requested Patent: JP10091961

Application Number: US19970932069 19970917

Priority Number(s): JP19960245879 19960918

IPC Classification: G11B7/09

EC Classification: G11B7/125C, G11B7/00M2P, G11B19/04, G11B20/14A

Equivalents: CN1180888

Abstract

Where data are recorded onto a phase-change disk according to the MCAV (modified constant angular velocity) scheme to enable high-density recording and high-speed random access, marks and spaces are formed by using recording pulses having a front end pulse and a rear end pulse that are delayed so as to be suited to each of a low linear velocity zone and a high linear velocity zone. This is done by changing the pulse widths of the front end pulse and the rear end pulse by varying the positions of the rising edge and the falling edge of the front end pulse and the rear end pulse, respectively, that constitute the recording pulses. Thus, recording compensation suitable for each linear velocity is effected.

Data supplied from the **esp@cenet** database - l2

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-91961

(43) 公開日 平成10年(1998) 4月10日

(51) Int.Cl.⁶

G 11 B 7/00
11/10

識別記号

5 8 6

F I

G 11 B 7/00
11/10

L
5 8 6 B

審査請求 未請求 請求項の数16 ○ L (全 23 頁)

(21) 出願番号

特願平8-245879

(22) 出願日

平成8年(1996)9月18日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 原 雅明

東京都品川区北品川6丁目7番35号 ソニー
株式会社内

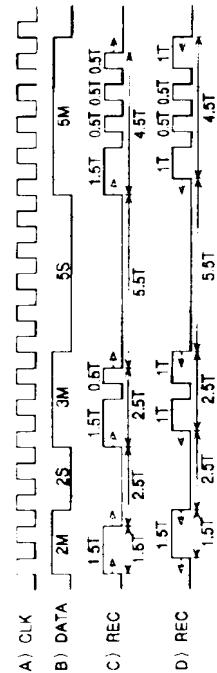
(74) 代理人 弁理士 稲本 義雄

(54) 【発明の名称】 データ記録装置およびデータ記録方法、並びに記録媒体

(57) 【要約】

【課題】 高密度記録および高速ランダムアクセスを可能にする

【解決手段】 相変化ガラスクに對して、データを、MCAV (Modified Constant Angular Velocity) 方式で記録する場合において、線速度が低速のゾーンにおいては、図2-(C) に示す記録ホールスにしたがって、また、線速度が高速のゾーンにおいては、図2-(D) に示す記録ホールスにしたがってマークレスデータを記録する。即ち、図2-(C) または図2-(D) において点線で示すように、記録ホールスを構成する始端ホールスまたは終端ホールスを打切りの立ち上がりエッジまたは立ち下がりエッジの位置を、ゾーンに對応して変化させる。これにより、各ゾーンに適した記録信号を発生させる。これにより、各ゾーンに適した記録信号を発生させる。



【請求項14】 少なくとも、前記始端ハルフ生成手段、終端ハルフ生成手段、第1および第2の延長手段並びに記録ハルフ生成手段が1チップ化されていることを特徴とする請求項7に記載のデータ記録装置

【請求項15】 前記第1および第2の屋根手段は、インバータが構成されることを特徴とする請求項7に記載のインバータ記録装置。

【説明項 1.6】 所定の遅延量に必要な前記インバータの段数を測定するための測定手段をさらに備えることを特徴とする説明項 1.5 に記載のデータ記録装置。

【发明的权利和义务说明】

{ () () }

【発明の属する技術分野】本発明は、データ記録装置およびデータ記録方法、並びに記録媒体に関する特許に、例えば、相変化ディスクなどの記録媒体にマークとノーマスを形成することによって、データを記録する場合に用いて好適なデータ記録装置およびデータ記録方法、並びに記録媒体に関する。

[0002]

【従来の技術】次世代の高密度記録媒体として、相変化ディスクが注目されている。相変化ディスクへの情報の記録は、図1-4に示すように、所定の融点以上（例えは、600度程度）に加熱して急冷するとアモルファス状態となり。また、融点以下（例えは、400度程度）に加熱して次々に冷却すると再結晶化する記録膜の性質（相変化）を利用して行われる。情報の再生は、アモルファス結晶と異なる光の反射率を利用して行われることで、アモルファスまたは結晶部分それぞれには、通常、マークまたはベースと呼んで、逆って、相変化アモルファス情報が記録（記憶）される。そこに情報に対応するマークが、記録が行われるごとに、次々と書き換わる。

【00003】 トコロで、他言ほ まはアノスケ (油煙
なし) に付はさむ先端、アノスケに対しては、既報変調
が記載してある。レクトオーバーレイ、が可能であるが、
高速で読み取る場合は困難となる。一方、既報変調が記載
すれば、高速で読み取る事が可能となるが、タ
イムラグによるオーバーレイを実現するには、特殊な接続機
用、が必要である。

さない程度の低・ワー (再生レベル) のレーザ光を照射することによって行われる。図 1 のモルタルでわかるように、照射が終了後、表面が光沢を失う。一方で照射によって溶け出たセメントを照射する事によって得られる反射光の光量に基づいて、データの再生が行われる。

【0005】相変化ディスクには、上述したように、容易にダブルトーラルライトを行うことができる他、光磁気ディスクと比較して、(1) ヒックアップ(光ピックアップ)の構造が簡単、(2) 再生信号が大きい、C/Nが高い、(3) 記録層の熱伝導度が小さく、消去動作温度が高いため、隣接トラックのヘッドギアによる影響

を及ぼしあくまでなく、トフノクの高密度化が可能。
 (4) データの再生を反射光の強いたびでなく、反射光の位相差を利用して行うことにより、微小なマークの信号強度を大きくすることができる、なりの高密度化しえる利点がある。

【0006】本は、相変化するデータの記録は、純粋な熟練者であり、従って、高密度記録を実現するためには、データの記録、消去を行なうための管理が最も重要な点である。

【0007】相変化ディスクに対するデータの記録方式としては、様々な長さのマークおよびフレーバーを形成することにより、その両方の長さに対して情報を割り当てるマークエンコード記録方式がある。このマークエンコード記録方式にはれば、比較的長いマークを形成するためには、記録セルのマークが長時間照射される場合があるが、この場合、記録槽の蓄熱効果により、マークの後半部分は、ディスク半径方向の幅が大きくなったり、誤型のマークが形成される。このままな誤型のマークを再生するため、エラーキャリブレーションによる理想的な位置に合わせる。

【0008】後方で、マーカの後半部分において、半径方向の幅が広がるまことに、マーカを発するマーカが、一方で、マーカを発する手元を、まかせて懸垂する。まことに、マーカの後半部分が、照射、最も弱い位置に、最も弱い位置に、

【0000】この記録が記入に付ければ、図16-(A)に示すように、1タップのデータは、記入に対する各ビット端子間に接続される。1タップを駆動するとき、記録が記入するとき(例)、記入は整数だけ、次式で示される信号に付けて、データオーディオを駆動する事により形成される。即ち、通常、データオーディオからデータの発光手段を駆動するための信号を記録ホールドして、

$$\{0\ 0\ 1\ 0\}$$

る。1, 5M+0, 5Sの記録バルブA (1, 5TのH)によって記録される1, 0, 5Tの1つヘル (消去)バルブによって、レーザダイオードが駆動される (図16-(C))。また、n=2の時 (1, 5M+0, 5S)、例えば、3Mである場合、即ち、n=3の場合、1, 5M+0, 5S+0, 5M+0, 5Sの記録バルブAによつて、レーザダイオードが駆動される (図16-(C))。さらには、データ (図16-(B)) が、例えば、5Mである場合、即ち、n=5の場合、1, 5M+3 (0, 5S+0, 5M+0, 5S+0, 5M+0, 5S+0, 5M+0, 5S) の記録バルブAによつて、レーザダイオードが駆動される (図16-(C))。

【0012】なお、記録方式Aにおいて (後述する記録方式Bにおいても同様)、データのnSの部分についての記録バルブAは、そのままnSとされる。

【0013】しかししながら、記録方式Aでは、マークの後半部分で照射光量が弱くなるため、その終端部分のマークが熱的に不安定になり、特に、記録時の線速度が高速である場合には、その位置の変動が顕著になる課題があった。

【0014】そこで、例えば、「相変化ディスク用高速記録レート・高密度記録方式の検討」、吉宮・他、テンピジョン学会技術報告、IEE Technical Report Vol.17, No.79, PP.7-12, VIR'93-83, (Dec. 1993) (以下、文献1といふ) や、特開平6-295440号公報 (以下、文献2といふ)、特開平7-129959号公報 (以下、文献3といふ)などには、マークの終端部分に、ある程度の充量を施す記録方式が開示されている。

【0015】この記録方式Bによれば、長さがれ1のマークが、次式で示される記録バルブBによつてレーザダイオードを駆動することにより形成される。

【0016】

$A: 1, 0M+0, 2(0, 5S+0, 5M+0, 5M+0, 5S) \cdots \text{etc.}$

【0017】従つて、データ (図16-(B)) の3, 例えは、2Mである場合、即ち、n=2の場合、式(2)から、1, 0M+0, 5M+0, 5S+1, 5M+0, 5Sの記録バルブBによつて、レーザダイオードが駆動される (図16-(D))。また、データ (図16-(B)) の4, 例えは、3Mである場合、即ち、n=3の場合、1, 0M+3 (0, 5S+0, 5M+0, 5M+0, 5S+0, 5M+0, 5S+1, 0M+0, 5S+0, 5M+0, 5S+0, 5M+0, 5S) の記録バルブBによつて、レーザダイオードが駆動される (図16-(D))。

【0018】したがつて、記録方式Bによる場合には、

いても、例えば、2Tや3Tなどの中長いマークやオーバーランが形成される部分において、照射光量が弱くなるため、照射光量が不足して、その結果、記録精度が悪化する原因により、記録データの増加する課題があつた。

【0019】そこで、上述の文献1および3などでは、短いマークおよびスペースに対応するデータを検出し、そのようなデータに対応する記録バルブについては、その始端部分のエッジと、終端部分のエッジの位置を変化させる事により、熱干渉などに起因するマークの位置ずれを補償して記録を行なう方法 (記録補償方法) が開示されている。

【0020】図17は、そのような記録補償を行なう、従来の記録補償回路の一例の構成を示している。

【0021】始端バルブドライバレータ10-1、ゲートジッキレータ10-2、終端バルブドライバレータ10-3、およびマーク/スペース長検出器10-4には、記録データの情報を交換した受調データ (図16-(B)) が供給されるようになされている。

【0022】ここで、受調データは、例えば、(1, 7) RLL (Run Length Limited) とNRZI (Non Return to Zero Inverted) を組み合わせて、情報を変調することにより得られるものであり、従つて、変調データには、孤立した反転は存在しない。また、その最小反転幅または最大反転幅は、それ各自または8である (従つて、この場合、式(2)におけるnは、2乃至8の範囲の値となる)。

【0023】始端バルブドライバレータ10-1では、変調データの立ち上がりが1Tの1, 5Tだけ遅れた位置から立ち上がる、マーク幅が1Tの始端バルブ (式(2)における右邊の第1項1, 0M+0, 5M) に対するnS) が生成され、データドライバ10-8を通して、ORゲート11-0に供給される。

【0024】また、ゲートジッキレータ10-2では、変調データの、式(2)における右邊の第2項n-2(0, 5S+0, 5M)に対するnS) が生成され、ANDゲート10-9 (一方の入力端子に供給され)、ANDゲート10-9の他方の入力端子にはクリック (図16-(A)) が供給されると、ANDゲート10-9では、クリック信号と信号との論理積が演算され、これがまた、ANDゲート10-9における、ANDゲート10-9の右端の端子には、ゲートバルブ (式(2)における右邊の第2項 (n-2)(0, 5S+0, 5M) から、最後の1, 0M+0, 5Mを除いた)に対するnS) が生成され、ORゲート11-0に供給される。

【0025】さらに、受調データレジスタ10-3では、受調データを検出し、その位置で記録データの立ち上がりが1Tの1, 5Tだけ遅れた (式(2)における右邊の第2項 (n-2)(0, 5S+0, 5M) から最後の1, 0M+0, 5M) に対するnS) を検出する。受調データの立ち上がりが生成されたゲート10-7を

て、ORゲート110に供給される。

【0026】ORゲート110では、初期状態では、アンドゲートが上位端に接続され、論理積の結果が、アンドゲートの下部の記録バイトB1(図14)に生成されて出力される。

【0027】一方、マーク/スマート検出器104では、変調データから、例えば、2Tや3Tなどのフレームオーバーラップに対応するものが検出され、その検出結果が、セレクタ105および106に供給される。セレクタ105または106では、マーク/スマート長検出器104からの検出結果に基づいて、始端バースまたは終端バースを遅延する遅延量が決定され、ゲイリライン108または109にそれぞれ供給される。

【0028】ゲイリライン108または109それぞれでは、始端バースまたは終端バースが、セレクタ105または106から供給される遅延量が遅延されて出力される。

【0029】以上のようにして、フレームオーバーラップに対するデータに付随する記録バースに対しては、その始端部分のフレームと、終端部分のフレームの位置が変化され、これにより、熱舌などに起因するエッジの位置ずれの記録補償が行われる。

【0030】

【発明が解決しようとする課題】ところで、光ディスクや磁気ディスクなどには、CAV(Constant Angular Velocity)方式で、データが記録される。CAV方式では、角速度(ディスクの回転速度)が一定であるため、データレートが一定であれば、線密度は、ディスクの内周側では高め、また、外周側では低めとなり、その結果、全体としての記録容量は小さくなる。

【0031】これに対して、CLV(Constant Linear Velocity)方式でデータを記録する場合には、線速度が一定であるため、データレートが一定であれば、線密度も一定なり。その結果、全体としての記録容量を大きくすることができる。しかし、CLV方式では、ディスクを回転運動するため、ドライブの回転数を、その最内周から最外周へ向って連続的に変化させる必要があり、制御が複雑になる。

【0032】そこで、一定の角速度で回転運動すれば良いだけ、制御が簡単であるCLV方式の利点と、記録容量を大きくすることができるCLV方式の利点との両方を兼ね備えた方式として、MCAV(Modified CAV)(NZ-CAV: Non-Zone CAV)が実現される。

【0033】MCAC方式では、CAV方式と同様に、一定の角速度で回転運動するが、ディスクが、その最内周から最外周にかけて、複数の回転速度(線速度)を有するようにして記録する。外周側では、各フレームの最内周に対する線速度が一定である。

ように制御され、これにより、CLV方式と同様に、記録容量を大きくすることができるようになされている。

【0034】相変化ディスクでは、初期段階では初期する場所の記録補償が複数回行われ、一定の記録補償で対応することのできる、線速度が一定のCLV方式を採用するのが好ましい。即ち、相変化ディスクへのデータの記録は、純粋な熱記録であるから、線速度が一定であれば、一定の記録補償を施せば済む。

【0035】しかしながら、CLV方式では、トラバース(トラックジャイブ)した場合に、ディスクの回転速度を、トラバース前の位置に適した値から、トラバース後における位置に適した値に変化させる必要があり、それまでデータの再生を開始することができない。そのため、ピクチャーフレームなどのデータ枠の記録媒体と比較した場合に、ディスクの重要な特徴であるランダムアクセスの速度が低いという欠点がある。

【0036】そこで、このような欠点により、相変化ディスクの用意が規定されるに至り出するため、記録容量が大きめ、高速なランダムアクセスが可能なMCAC方式を採用する方法がある。

【0037】しかしながら、MCAC方式では、最内周から最外周に亘って線速度が変化するため、一定の記録補償で対応することが困難であった。

【0038】本発明は、このような状況に鑑みてなされたものであり、線速度に対応した記録補償を容易に施すことができるようにするものである。

【0039】

【課題を解決するための手段】請求項1に記載のデータ記録装置は、始端バースの始端フレームの位置を変化させるにあたり、ディスクの端を変化させる始端バース変化手段と、終端バースの終端フレームの位置を変化させるにあたり、そのバース端を変化させる終端バース変化手段とを備えることを特徴とする。

【0040】請求項2に記載のデータ記録方法は、始端バースの端を変化させる位置を変化させて、そのバース端を変化させることによって、終端バースの端を変化させることにより、そのバース端を変化させる位置を変化させて、

【0041】請求項3に記載の記録媒体に、始端バースの始端は、その位置が変化され、そのバース端を変化させており、終端バースの終端フレームの位置が変化され、そのバース端が変化されていることを特徴とする。

【0042】請求項7に記載のデータ記録装置は、データの記録を各フレームに備える。1フレームあたり1フレームの始端バースを有する始端フレーム生成手段、データの終端を各フレームに備える1フレームあたり1フレームの終端フレーム生成手段、データを1フレームあたり1フレームの記録量Xと計画直角距離の第1の直角距離を、記録量Xとデータを1時間的、データを、データを、第2の直角距離X2に直角距離の第2の直角距離を、記録する記録手段

80

段、終端ヘルツ生成手段、並びに第1および第2の遅延手段を用いて、記録バルスを生成する記述が多生産物説を確立。1つは、 x にて記述する場合をT、 x をもつて、並列記述の場合はMとし、他方をSと表すとき、長さが n Tのマーク(但し、 n は整数)に対応する記録バルスが、式 $xS + (1, 5-x)M + (n-2)(0, 5S + 0, 5M) + yM + (0, 5-y)S$ 、または式 $xS + (1, 5-x)M + (n-3)(0, 5S + 0, 5M) + 0, 5S + yM + (1, 0-y)S$ で表されることを特徴とする。

【0043】諸上項1に記載のデータ記録装置においては、始端バルブ変化手段は、始端バルブ及び始端エッジの位置を変化させることにより、そのバルブ幅を変化させ、終端バルブ変化手段は、終端バルブ及び終端エッジの位置を変化させることにより、そのバルブ幅を変化せらるようになされている。

【0044】諸上項5に記載のデータ添付方法においては、始端ループと始端エッジの位置を変化させることにより、そのループ幅を変化させるとともに、終端ループの終端エッジの位置を変化させることにより、そのループ幅を変化させるようになされている。

【0045】請求項6に記載の記録媒体においては、始端ハルスの始端エッジの位置が変化され、そのハルス幅が変化しており、終端ハルスの終端エッジの位置が変化され、そのハルス幅が変化している。

【0046】語素項7に記載のデータ記録装置における記録媒体は、始端バルス生成手段は、データの始端をその始端とする、1クロック分のバルス幅の始端バルスを生成し、終端バルス生成手段は、データの終端をその終端とする、1クロック分のバルス幅の終端バルスを生成するようになされている。第1の遅延手段は、データを、第1の遅延量だけ遅延し、第2の遅延手段は、所定量のクロック数だけ時間的に先行するデータを、第2の遅延量だけ遅延するようになされている。記録バルス生成手段は、始端バルス生成手段、終端バルス生成手段、並に第1または第2の遅延手段の出力を論理演算手段により、記録バルスを生成するようになされている。1クロックに固定するバルス幅を下すとするとも、記録バルスの日時は上式の(1)の右辺のtをMと、他のtをSと表せとき、長さがn以下のマーク(0≤l, nは整数)に付される語素バルスが、式 $xS \cdot (1 - 5 - x)M + (n - 2) \cdot (0, 5S \cdot 0, 5M) + yM + (0, 5 - y)S$ と表される。また、式 $xS \cdot (1, 5 - x)M + (n - 3) \cdot (0, 5S \cdot 0, 5M) + 0, 5S + yM + (1, 0)S$ で表されるようになされている。

[0.047]

【发明】：指发明人通过技术手段，将一个或多个技术方案结合起来，创造出新的技术方案。发明，分为实用新型、外观设计、植物新品种和动物品种。发明人是指发明人、设计人、品种权人。

手段の後の括弧内に、対応する実施例（但し、一例）を付加して、本発明の特徴を記述する。次に表1に示す。

【0014-8】且、上請求項1に記載のデータ記録装置は、始端バルス、ループバルス、および終端バルスを合成して得られる記録バルスにしたがって、データを、記録媒体に記録するデータ記録装置であって、始端バルスの始端バルスの位置を変化させることにより、そのバルス幅を変化させる始端バルス変化手段（例えば、[図3]10に示す）と、ルチバルス発生器16、プログラムブルライティケン18、および記録信号発生器21など）と、終端バルスの終端バルスの位置を変化させることにより、そのバルス幅を変化させる終端バルス変化手段（例えば、[図3]10に示す）と、ルチバルス発生器16、プログラムブルライティケン18、および記録信号発生器21など）とを備えることを特徴とする。

(n-3) - (0, -5S + 0, -5M) + 0, -5S + yM + (1, -0 + y, -S) 表示する。これを計算する。

【0054】請求項10に記載するターゲット接続装置は、接続する複数の演算手段（たとえば、ANDゲート、ORゲート、NANDゲート、NORゲート、XORゲート、XNORゲート、NOTゲート、反転器等）の出力の論理積を演算する第1の演算手段（たとえば、図7に示すXORゲート58など）と、第1および第2の遅延手段の出力の論理積を演算する第2の演算手段（たとえば、図7に示すANDゲート61など）と、第1および第2の演算手段の出力の論理積を演算する第3の演算手段（たとえば、図7に示すANDゲート62など）とを有することを特徴とする。

【0052】請求項1-1に記載のデータ記録装置は、第1または第2の遅延量xまたはvそれぞれを適応的に設定する遅延量設定手段(例えは、図3に示すマイコン(マイクロコンピュータ)1-1など)をさらに備えることを特徴とする。

【0053】請求項12に記載のデータ記録装置は、記録手段にしたがって、記録媒体にマークとスペースを形成することにより、データを記録する記録手段(例えば、図1に示すピックアップ3など)をさらに備え、追加延長設定手段が、記録媒体と記録手段との間の相対速度に基づいて、第1または第2の増延長xまたはyそれぞれを設定することを特徴とする。

【0054】請求項1-6に記載のデータ記録装置は、所定の遅延量に必要なインバータの段数を測定するための測定手段(例をば、図10に示すDFE8-1、単位遅延素子8-2、ORゲート8-3、センクタ8-4、8-6、NORゲート8-7、およびRSFEE(RSフリップフロップ)8-8を用いて)に備えることを特徴とする。

【0055】なお、勿論この記載は、各手段を上記したものに限定することを意味するものではない。

【0056】图1は、本発明を適用したディスクドライブの一実施例の構成を示している。

【0057】タクシードライバーは、前記したような相手化されたタクシードライバーに対する回転運動されるタクシードライバーは、スピンドルモーターが構成される。タクシードライバーは、回転運動(回転運動)にて回転運動される。

エッジ記録方式によりデータが記録される

【0059】一方、ビックル再生回路においては、ビックル再生回路の出力端子に接続されたビックル再生回路5は、ビックル反射光を受光される。されば、ビックルアダプタ3では、受光された反射光が光電変換され、その結果得られるR.F. (Radio Frequency) 信号が再生回路5に供給される。再生回路5では、R.F.信号に所定の処理が施され、変調データが再生されて出力される。この変調データは、[4]示せぬ復調回路において復調され、元のデータとされる。

10.06.01.t23 - 楊惠楓

【0.06】では、本実験においては、ディスク上は、例えど、その最内周から最外周に向って、幾つか（例えど、50程度など）の「一」に分割されており、外周側の「一」ほど、データレートを高くして記録が行われる。データレートは、各「一」の最内周における線密度が一定になるよう制御されるようになされており、従って、ここでは、ディスク上に対して、MC AV方式によりデータの記録・再生が行われるようになされている。

20 【0061】次に、図2を参照して、図1の記録河路4における記録補償について説明する。

【0062】図2は、図16と同様の波形図であり、前述したように、式(1)または(2)によって表現される記録方式AまたはBによれば、図2(A)に示すようなクロックの下で、同図(B)に示すような全変調データが与えられた場合、同図(C)または(D)に示すような記録バルブAまたはBがそれぞれ生成される。

【0.0.3】ここで、記録方式Aによれば、前述したように、バイオタ1の線速度、即ち、バイオタ1ヒックアップ位置との相対速度が高速である場合、マークの位置の変動が顕著になるが、線速度が低速である場合（例えは、4 m/s（マルチ種）程度）には、そのようなことがない。従って低線速度に向いていることが知られている。一方、記録方式Bは、線速度が低速の場合に向いているが、高線速度場合（例えは、10 m/s程度）に向いていることが知られている。

【0064】後で、MCNAV が走る時に、最内輪の最外側に向かって、線速度が後輪の高さに変化する場合には、目標車の後方へ走行するMCNAV が得られることになる。目標車がB 時刻で目標車の高さに変化する場合に、線速度に対する目標車の補正を施すことができる。

は、記録方式Bによる記録ハルクBを構成する始端ハルクBと最終ハルクBがそれ自身の記録部B1と記録部B2を有する。記録部B1と記録部B2は、記録部B1と記録部B2の記録位置を変化させることによって、記録部B1と記録部B2の記録位置を変化させ、これに対応して記録位置を変化させ、記録速度を変化させることによって、記録速度を変化させ、即ち、例えば、ソーンに対応して変化させようになされている。

【0066】 次に、図3は、図1の記録回路4の構成例を示している。

【0067】マイコン11は、各種の信号 (CS, WR, OW, AB [15:0], CLK, D [7:0], Z [7:0]など) により、記述回路4を構成する各ブロックを制御するようになされている。ここで、例えば、データD [7:0]という表記は、データDの第0ビット乃至第7ビットを意味する。従って、データDが8ビット上で構成される場合、データD [7:0]は、データDそのものを表す。また、例えば、データD [0]という表記は、データDの第0ビットを意味する。なお、第0ビットとは、例えば、LSB (最低位ビット) を表すものとする。

【0068】 即ち、マイコン11は、RAM(Random Access Memory)15に対して、データD「7:0」の読み書きを行う場合、例えば、通常はLレベルになっているモップセレクト信号CSをHレベルにするようになっている。また、マイコン11は、RAM11にデータDを書き込む場合、またはデータDを読み出す場合、ライト信号WRを、それぞれHまたはLレベルにするようになっている。さらに、マイコン11は、ダイレクトオーバライトを行うかどうか、即ち、変調データの記録を行つかどうかを示すデータ、オーバーライト信号OWを出力するようになっている。

【00-69】また、マイコン、1-1は、RAM1-5に付けてデータを読み書きする場合、そのアドレスを指定するためのアドレス信号AB「15：0」を出力するようになされ、一方で、マイコン、1-1は、内部起動路4を構成するデータバスのうちの必要なものに、クロック信号を供給するようになされている。また、マイコン、1-1は、RAM1-5に書き込み用データID「7：0」を出力するとともに、RAM1-5が認識出されたデータID「7：0」を受信するようになっている。一方で、マイコン、1-1は、データバスAB「15：0」を受信して、それを用いてデータを検出し、そのバージを表示するデータ「7：0」を出力するようになされている。

れている。さらに、コントローラ12には、シグナル4を
生成する。シグナル4は、ノードAAX「111-0」の
とき、負4を初期化するまで保持するノードAAX
「111-0」が、他のノードD「3-0」に割り当てる
ようになされている。

【0.0.7.2】コントローラ12は、そこに入力されるチャージセレクト信号CS、ライト信号WR、およびオーバライド信号OWLから、その出力端子OE、CS、またはWRそれぞれから出力すべき信号（以下、適宜、出力端子OEから出力される信号をインバース信号OWLといふ）を生じ、出力端子CS、WRから出力される信号は、コントローラ12に入力されるチャージセレクト信号CS、ライト信号WRにそれぞれ対応するので、これらの信号も、以下、適宜、それぞれチャージセレクト信号CS、ライト信号WRといふ）を生成して出力するようになされている。さらに、コントローラ12は、データA～A〔7～4〕に基いて、変調データDATAの立ち上がり時間は立ち下がり時間と極めて、そのタイミングで、例えば、1クロックの間だけ、上レベルから

10 目レベルになると立ち上がり時間は信号RISEまたはFALLを、その出力端子RISEまたはFALLからそれぞれ出力するようになされている。

【0073】セレクタ13は、例えば、16ビットのセレクタで、そこには、マイコン11からオーバーライト信号OWとアドレス信号AB【15:0】が、その入力端子A【BとB【15:0】それぞれに供給されるようになされている。さらに、セレクタ13には、データ14が出入するデータAA【11:0】のうちの、第0乃至第3ビットおよび第8乃至第11ビットで構成されるデータAA【3:0】およびAA【11:8】を上位8ビットとし、マイコン11が出力するデータZ【7:0】を上位8ビットとする16ビットのデータ(このデータも、アドレス信号AB【15:0】と同様に、RAM15の15ビットのデータとみなすので)、以下、便宜、アドレス信号AB【15:0】と表記するが、そり入力端子A【15:0】に供給されるようになされている。

ている。シフタ14が内蔵するレジスタの記憶値。即ち、12ビット単位のデータをシフトする本体を初期データAA「11：0」は、第0乃至第3ビットAA「3：0」、第4乃至第7ビットAA「7：4」、および第8乃至第11ビットAA「11：8」に分割され、上述したように、第0乃至第3ビットAA「3：0」および第8乃至第11ビットAA「11：8」はセレクタ13に供給され、第4乃至第7ビットAA「7：4」はコントローラ12に供給されるようになされている。

【0076】なお、変調データAA「11：0」のうちの第3ビットAA「3」は、マルチバース発生器16にも供給されるようになされている。

【0077】RAM15は、例えば、16ビットのアドレス空間を有し、8ビットのデータを記憶するRAMで、そこには、コントローラ12からのチップセレクタ信号CSまたはライド信号WRが、その人力端子CSまたはWRにそれぞれ供給されるようになされている。また、RAM15には、RAM15には、データD「15：0」が、その人力端子A「15：0」に供給されるようになされている。また、RAM15のデータ端子D1Nには、マイコン11がに出力するデータD「7：0」が供給されるようになされている。

【0078】RAM15は、チップセレクタ信号CSがHレベルで、かつライド信号がHレベルのとき、マイコン11がに出力するデータD「7：0」を、アドレス信号ADR「15：0」で表されるアドレスに記憶し、また、チップセレクタ信号CSがHレベルで、かつライド信号がLレベルのとき、アドレス信号ADR「15：0」で表されるアドレスが、データD「7：0」を読み出し、データD「7：0」にて、その出力端子DOUT「7：0」から出力されるようになされている。

【0079】マルチバース発生器16には、シフタ14から、12ビットの変調データAA「11：0」のうちの第3ビットAA「3」が、その出力端子DOUTDATA1が供給され、また、データ14がデータMP1を生成し、その人力端子C1Tは供給されるようになされている。

【0080】マルチバース発生器16には、変調データの第3ビットAA「3」を基にした上位端子を基とする、終端部が構成されるDATA1、データ2、データMP1を構成するデータMP1、および始端部を構成するDATA2を生成し、それそれを、その出力端子Q1、MP1、Q2がに出力されるようになされている。

【0081】データ14、データMP1、データ17も同様に、DEF19または20から供給される4ビットデータFALL_DATA「3：0」またはRISE_DATA「3：0」を初期FALL_DATA「3：0」またはRISE_DATA「3：0」に上書きする。データDATA1またはDATA2をそれぞれ初期化するには、データMP1を初期DATA1またはDATA2とし、データDATA1またはDATA2をそれぞれ初期化するには、データMP1を初期DATA1またはDATA2とし、それを初期出力端子OUT1に出力するようになさ

れている。

【0082】DEF19または20は、RAM15から出力されるデータD「7：0」にて、シフタ14にて、DO「10：0」またはDO「7：4」にて、シフタ12にて、DO「11：0」またはDO「4：0」にて、DO「7：4」を、コントローラ12から供給される立ち上がりエッジ信号FALL1または立ち上がりエッジ信号RISEのタイミングでマッチし、データFALL_DATA「3：0」またはRISE_DATA「3：0」として、プログラムマップライイン17または18にそれぞれ供給するようになされている。

【0083】記録信号発生器21は、プログラムマップライイン17または18それからの遅延データDDATA1またはDDATA2、およびマルチバース発生器16からのデータMPを用いて論理演算を行うことで、図2で説明したような記録バルスを生成し、その出力端子RECがに出力するようになされている。

【0084】データ回路22は、例えば、8ビットのデータのデータで、RAM15から読み出されるデータD「7：0」を受信し、コントローラ12が出力するインバージブル信号OEが、JまたはHレベルのうちの、例えはHレベルである場合のみ、その受信したデータD「7：0」を、データD「7：0」として、マイコン11に供給するようになされている。

【0085】以上のように構成される記録回路4では、マイコン11において、記録バルスを構成する始端バルスの遅延量xおよび終端バルスの遅延量y（後述するように、これらの遅延量により、記録バルスを構成する始端バルスまたは終端バルスの立ち上がりまたは立ち下がりの位置が変化され、これにより、それぞれのノルム幅が変化される）としてのデータD「7：0」が、線速度、即ち、例えは、ここでHに設定され、RAM15に供給されて記憶される（このような物理的現象をモードを、データ設定モードといつ）データにて、マイコン11はデータ（記録時）においては、データD「7：0」に基づいて遅延は終端側に記録バルスが生成され、（このような処理が終結するモードを、データモードといつ）。

【0086】即ち、データ記録モードでは、データD「7：0」は、データMP1信号CSおよびDATA1信号CSがWRを待ちをHにすると、データMP1信号OW1にて出力される。

【0087】さらに、マイコン11は、データMP1にて遅延時間量xと合わせて対応する4ビットのRISE_DATA「3：0」またはFALL_DATA「3：0」を初期FALL_DATA「3：0」またはRISE_DATA「3：0」を初期FALL_DATA「3：0」またはRISE_DATA「3：0」を初期FALL_DATA「3：0」またはRISE_DATA「3：0」を生成する。

【0088】一方、記録回路4は、線速度に応じて実行する。即ち、データMP1にて、データMP1信号OW1にて

る。特に、前述したように、複数データバスへの対応が行われる必要がある。

【0089】そこで、マイコン11では、データバスへの遅延量について、その測定値が用いられるデータの長さ（印）を記録される変調データにも適したもののが設定されるようになされている。

【0090】具体的には、例えば、変調データの中の、ある連続する12ビットに注目した場合には、その上位4ビットと下位4ビットの合計8ビットと、その変調データが記録されるゾーンとの両方に基づいて、最適な遅延量としてのデータID「7：0」が求められる。

【0091】このデータID「7：0」は、マイコン11からRAM15に供給される。

【0092】なお、データID「7：0」は、例えば、あらかじめ実験などをを行うことにより決めておき、下記せがROM(Read Only Memory)などに記憶させておけばよいにするのが好ましい。この場合、マイコン11には、データ設定モード時に、そのROMから、データID「7：0」を読み出させるようにすればよい。

【0093】マイコン11は、上述したように、変調データの中の、ある連続する12ビットに注目した場合には、その上位4ビットと下位4ビットの合計8ビットで構成されるデータAD1と、その変調データが記録されるゾーンとの両方に基づいて、最適な遅延量としてのデータID「7：0」を得ると、8ビットのデータAD1を下位アドレスとし、また、ゾーンを表す、例えば8ビットのデータAD2を上位アドレスとして、16ビットのアドレス信号AB「15：0」を生成し、セレクタ13に出力する。

【0094】上述したように、いまの場合、オーバーフロー信号OWは、1レットであるがゆえに、セレクタ13においては、人力端子B「15：0」に人力されるマイコン11からのアドレス信号AB「15：0」が選択され、アドレス信号ADR「15：0」にて、RAM15に供給される。

【0095】一方で、本記述12は、Hレベルの信号を出力するデータ信号DOUTを出力する。また、データバスのオーバーフロー信号OWを受信すると、Hレベルの信号を出力するデータ信号DOUTを、RAM15に供給する。

【0096】従って、RAM15においては、アドレス信号ADR「15：0」が承認されると、データID「7：0」が選択される（書き込まれる）。

【0097】次に、動作して、RAM15では、データバスの遅延測定量を求めて、これに補正されるデータが記録される場合、即ち、記録される変調データは遅延測定用に複数種類のデータID「7：0」で記録される。

【0098】次に、RAM15に記憶されたデータID「7：0」が記録されたことを確認するためには、セ

ルアドレスADR「15：0」に対するデータD「7：0」をRAM15から読み出す場合に、マイコン11は、データバスのオーバーフロー信号OWを用いても記録する旨を記す。マイコン11は、アドレスAB「15：0」に対するデータID「7：0」をセレクタ13に出力する。この場合、オーバーフロー12は、Hレベルのチップセレクト信号CSと、上レベルのライズ信号WRを、RAM15に出力するとともに、Hレベルのネガティブ信号OEを、データ回路22に出力する。また、セレクタ13は、マイコン11からのアドレスADR「15：0」を選択し、上レベル信号ADR「15：0」としてRAM15に出力する。

【0099】RAM15は、Hレベルのチップセレクト信号CS、上レベルのライズ信号WR、および下レベル信号ADR「15：0」を受信すると、上述したように、アドレス信号ADR「15：0」に対するデータIDが選択され、データID「7：0」を読み出し、データDO「7：0」として、データ回路22に出力する。データ回路22は、上述したように、Hレベルのネガティブ信号OEを受信すると、RAM15からのデータをマイコン11に出力するか、これにより、RAM15からの読み出されたデータDO「7：0」は、マイコン11に供給される。

【0100】次に、オーバーフロー信号OWにおいては、マイコン11は、チップセレクト信号CSおよびオーバーフロー信号OWをHレベルにして、ライズ信号WRを上レベルにする。されば、マイコン11は、セレクタ13が選択しているゾーンを認識し、そのゾーンに対応するデータデータZ「7：0」を、セレクタ13に供給する。

【0101】また、この場合、セレクタ14は、クリクリクルスルに同期した変調データDATAが供給される。セレクタ14は、クロックCLKのタイミングで、それに同期される変調データDATAを、内部内蔵する14bit×14bitのレジスタのLSBに記憶する。されば、その14bit×14bitの記憶値を用いて、その結果得られる12ビット幅の変調データAA「11：0」を出力する。この12ビットの変調データAA「11：0」のうち、第0位第4ビットAA「4：0」を第5ビット第14ビットAA「11：8」に接続する。セレクタ13は、第3ビットAA「3」はオーバーフロー発生器16、第4ビット第7ビットAA「7：4」はオーバーフロー12と、それそれ供給される。

【0102】マイコン11が動作するデータID「7：0」が、セレクタ14が承認する変調データAA「3：0」およびAA「4：0」は、第AA「4：0」の第AA「4」は第AA「11：8」の第16ビットである。されば、第AA「4」はオーバーフロー12と、第AA「3」はオーバーフロー12と、第AA「2」はオーバーフロー12と、第AA「1」はオーバーフロー12と、第AA「0」はオーバーフロー12と、第AA「7：4」は第AA「11：8」の第16ビットである。されば、第AA「7：4」はオーバーフロー12と、第AA「3」はオーバーフロー12と、それそれ供給される。

AB' [15:0] が構成され、セレクタ1-3の入力端子A [15:0] に供給される。

【0.1.0.3】 一方の場合、データAを変調データAM1-5とし、それをセレクタ1-3には、データA端子A [15:0] に供給されるアドレス信号AB' [15:0] が選択され、アドレス信号ADR [15:0] として、RAM1-5に供給される。

【0.1.0.4】 一方、コントローラ1-2は、Hレベルのチャップセレクト信号CSと、Lレベルのライト信号WRを受信すると、それらと同様のチャップセレクト信号CSおよびライト信号WRを、RAM1-5に出力する。

【0.1.0.5】 従って、この場合、RAM1-5においては、アドレス信号ADR [15:0] に対応するアドレスから、データD [7:0] が読み出され。データDO [7:0] として出力される。即ち、この場合、変調データを記録するノード（線速度）に適した遅延量をもつて、その変調データに対応するデータDO [7:0] が、RAM1-5から出力される。このデータDO [7:0] のうち、上位4ビットDO [7:4] は、DFE2-0に供給され、下位4ビットDO [3:0] は、DFE1-9に供給される。

【0.1.0.6】 また、コントローラ1-2は、変調データAA [7:4] を受信すると、その変調データAA [7:4] に基いて、変調データの立ち上がりエッジおよび立ち下がりエッジを検出する。即ち、本実施例では、変調データは、上述したように、(1, 7) RLLとNRZIとの組合せにより構成されたものであるが、孤立した反転が存在しない。このため、変調データの中に立ち上がりエッジがあると、シーケンタ1-4において変調データがシフトされていく過程の中で、AA [7] = 0, AA [6] = 0, AA [5] = 1, AA [4] = 1となる場合が必ず生じる。また、変調データの中に立ち下がりエッジがあると、シーケンタ1-4において変調データがシフトされていく過程の中で、AA [7] = 1, AA [6] = 1, AA [5] = 0, AA [4] = 0となる場合が必ず生じる。

【0.1.0.7】 そこで、コントローラ1-2は、AA [7] = 0, AA [6] = 0, AA [5] = 1, AA [4] = 1を検出するか、立ち上がりエッジを検出したときに、立ち上がりエッジ信号RISEを出力する。また、コントローラ1-2は、AA [7] = 1, AA [6] = 1, AA [5] = 0, AA [4] = 0を検出するか、立ち下がりエッジを検出したときに、立ち下がりエッジ信号FALLを出力する。

【0.1.0.8】 なお、変調データが最小反転幅を2ビットの場合は、それに対応して、シーケンタ1-2には以下の4種の変調データが供給される。これらの検出方法を変更する必要はない。

【0.1.0.9】 並に、上記の4種の信号FALLまたは立ち下がりエッジ信号RISEは、DFE1-9または2-0に

それぞれ出力される。DFE1-9または2-0は、立ち下がりエッジ信号FALLまたは立ち上がりエッジ信号RISEをデータA [3:0] 、RAM1-5のデータD [7:4]

とし、またはD [7:4] をデータA [3:0] 、データFALL DATA [3:0] またはRISE DATA [3:0] として、プログラムディレイライン1-7または1-8にそれぞれ出力する。

【0.1.1.0】 一方、マルチバス発生器1-6は、シーケンタ1-4からデータAA [3] を変調データとして受信し、その変調データから、データDATA1, DATA2, MPを生成して、それらを、プログラムディレイライン1-7, 1-8、記録信号発生器2-1に出力する。プログラムディレイライン1-7または1-8では、DFE1-9または2-0から供給される4ビットのデータFALL DATA [3:0] またはRISE DATA [3:0] にしたがって、データDATA1またはDATA2がそれぞれ固定量yまたはxだけ遅延され、遅延データDDATA1またはDDATA2として、記録信号発生器2-1に供給される。記録信号発生器2-1に習む、プログラムディレイライン1-7または1-8それぞれからの遅延データDDATA1またはDDATA2、およびマルチバス発生器1-6からのデータMPに加算して、記録バスが生成されて出力される。

【0.1.1.1】 ここで、実際の回路では、シーケンタ1-4やRAM1-5などの仕様（動作速度）によって、プログラムディレイライン1-7または1-8に対して、変調データの立ち上がりエッジまたは立ち下がりエッジに対する遅延データDATA1またはDATA2が大幅に異なる場合、データFALL DATA [3:0] またはRISE DATA [3:0] が入力されるタイミングの間に現れが生じる場合がある。このような場合には、例えば、変調データAA [3] が入力されるマルチバス発生器1-6の入力端子IN DATAの順序が、遅延路線などを経る場合など、相違のタイミングでデータを複数個同時に記録する必要がある。なお、これは、他の、例えは、シーケンタ1-4がシフトレジスタ発生器1-6に供給する変調データAA [3] ではないAA [2] がAA [4] に接続された場合においても実現する。

【0.1.1.2】 次に、図4は、図3のコントローラ1-2を構成例を示すもの。

【0.1.1.3】 ANDゲート3-1には、変調データAA [4] が入力され、AA [5] が入力されるまで出力されておらず、また、荷重のAND（論理積）演算され、ANDゲート3-3が一方の入力端子に入力される。一方、ANDゲート3-3の他の入力端子には、NORゲート3-5が接続され、入力されるまでの間は0である。ANDゲート3-3の出力、ANDゲート3-1とNORゲート3-5の出力がAND演算され、その演算結果、即ち上位4ビットの信号FALLまたはRISEが出力される。NOEゲート

3-5には、変調データAA[6]およびAA[7]が入力される場合に示されている。そこで、両者のNOR(論理和)が演算される。

【0114】 ここで、AA[7]=1, AA[6]=

1, AA[5]=0, AA[4]=0のときのみ、ANDゲート3-3からは、Hレベル(1)の立ち上がり出信号FAILが outputされる。

【0115】 また、ANDゲート3-2には、変調データAA[6]およびAA[7]が入力されるようになされており、そこでは、両者のANDが演算され、ANDゲート3-4の一方の入力端子に入力される。また、ANDゲート3-4の他方の入力端子には、NORゲート3-6の出力が入力されるようになされており、ANDゲート3-4では、ANDゲート3-2とNORゲート3-6との出力のANDが演算され、その演算結果が、立ち上がり出信号RULSEとして出力される。NORゲート3-6には、変調データAA[4]およびAA[5]が入力されるようになされており、そこでは、両者のNORが演算される。

【0116】 ここで、AA[7]=0, AA[6]=0, AA[5]=1, AA[4]=1のときのみ、ANDゲート3-4からは、Hレベル(1)の立ち上がり出信号RULSEが outputされる。

【0117】 一方、マイクロ1-1からのチップセレクト信号CSは、ORゲート3-8の一方の入力端子およびANDゲート3-9の一方の入力端子に、オーバライド信号OWは、ORゲート3-8の他方の入力端子およびオーバータ3-7に、オーバ信号WRは、ANDゲート4-0の一方の入力端子に、それぞれ入力されるようになされている。

【0118】 ORゲート3-8では、チップセレクト信号CSとオーバライド信号OWとのOR(論理和)が演算され、その演算結果が、チップセレクト信号CSとして出力される。そして、マイクロ1-2が outputされる。チップセレクト信号CSは、マイクロ1-1と出力されるオーバセレクト信号CSまたはオーバライド信号OWのうちのいずれか一方のHレベルのときHレベルとなる。その場合がHレベルのときHレベルとなる。

【0119】 また、マイクロ1-2では、オーバライド信号OWが反転され、ANDゲート3-9の他方の入力端子とANDゲート4-0の他方の入力端子に供給される。ANDゲート3-9では、チップセレクト信号CSと、マイクロ1-2の出力とのANDが演算され、その演算結果が、オーバ信号OWとして出力される。そして、オーバ信号OWは、マイクロ1-1と出力されるチップセレクト信号CSまたはオーバ信号OWのいずれか、オーバライド信号OWがHレベルのときHレベルとなる。それ以外のときHレベルとなる。

【0120】 ANDゲート4-0では、マイクロ1-3の出力、オーバ信号WRとANDが演算され、その演

算結果が、サイト信号WRとして出力される。従って、マイクロ1-2が出力するオーバ信号WRは、マイクロ1-1と出力されるチップセレクト信号CSと、オーバ信号WRとORして出力される。それ以外のときはLレベルとなる。

【0121】 図5は、図3のマッチハルフ発生器1-6の構成例を示している。

【0122】 変調データAA[3]であるデータDAT Aは、DEF5-1に供給され、そこで、クロックCLKのタイミング(クロックCLKの、例えば、立ち上がり出信号のタイミングなど)でシフテッドされ、DEF5-2および5-3に供給される。また、DEF5-1は、シフテッドデータDATAの反転出力(¬Q)を、ANDゲート5-7の一方の入力端子に供給する。

【0123】 DEF5-3は、マイクロ1-5の出力のタイミング(インバータ5-5の出力の、例えば、立ち上がり出信号のタイミングなど)で、DEF5-1の出力をシフテッドするようになされており、また、マイクロ1-5には、クロックCLKが供給されるようになされている。

【0124】 一方、DEF5-2では、後述するDEF5-2がシフテッドデータより半クロックだけ時間的に先行するデータがシフテッドされる。この半クロックだけ進んだデータは、データDATA1として出力される。

【0125】 一方、DEF5-2では、DEF5-1の出力が、クロックCLKのタイミングでシフテッドされ、データDATA2として出力されるとともに、DEF5-4、ANDゲート5-6の一方の入力端子およびANDゲート5-7の他方の入力端子に供給される。DEF5-4でも、DEF5-2の出力が、クロックCLKのタイミングでシフテッドされ、その反転出力が、ANDゲート5-6の他方の入力端子に供給される。

【0126】 ANDゲート5-6では、DEF5-2の出力と、DEF5-4の反転出力とのANDが演算され、ORゲート5-8は供給される。また、ANDゲート5-7では、DEF5-1の反転出力と、DEF5-2の出力とのANDが演算され、これと、ORゲート5-8は供給される。

【0127】 ORゲート5-8では、ANDゲート5-6と5-7の出力(他方のクロック)が組み合わされ、その出力では、オーバ信号OWが演算され、その演算結果が、オーバMPとして出力される。

【0128】 図6は、図3の誤検信号発生器2-1の構成例を示している。

【0129】 マイクロ1-1とマイクロ1-7では、1-8それぞれの出力から、ZDDATA1またはDDATA2は、出力され、ANDゲート6-1に入力される。これとされ、ANDゲート6-1では、ZDDATA1とDDATA2とのANDが演算され、ANDゲート6-2では、その出力端子に、オーバMPが入力され、

ようになされており、ANDゲート6-2では、ANDゲート6-1の出力と、クロックMPよりANDが演算され、その演算結果が、上部からスイッチして出力される。

【0130】次に、図7において記録信号発生器2-1のマルチバ尔斯発生器1-6、クロックゲートゲイブイン1-7、1-8、および記録信号発生器2-1の部分の処理について、さらに説明する。

【0130】なお、図7は、図5に示したマルチバ尔斯発生器1-6、および図6に示した記録信号発生器2-1に、クロックゲートゲイブイン1-7と1-8を加えて図示したものであり、図8は、その各部の信号の波形を示している。

【0131】マイクロ1-1(図3)からのクロックCLK(図8(A))は、DEF5-1、5-2、5-4、インバータ5-5、ORゲート5-8に供給されている。また、変調データAA[3]は、DEF5-1に供給されており、このDEF5-1、さらにDEF5-2、5-4において、クロックCLKの立ち上がりタイミングで、順次ゲートされる。

【0132】ここで、kを時間に対応する変数とし、DEF5-2のゲート出力(Q)をDATA[k]と表すことにする。この場合、DEF5-1に供給される変調データAA[3]はデータDATA[k+2]と、DEF5-1のゲート出力はデータDATA[k+1]と、DEF5-4のゲート出力はデータDATA[k-1]と、それぞれ表すことができる。

【0133】一方、インバータ5-5では、クロックCLKが反転され、DEF5-3(DEF5-3のクロック端子)に供給される。DEF5-3の入力端子(D)には、DEF5-1のゲート出力であるゲートDATA[k+1]が供給されており、DEF5-3では、ゲートDATA[k+1]が、反転されたクロックCLKの立ち上がりタイミングでゲートされる。

【0134】この結果、ゲートDATA[k+3]、例えば、図8(B)に示す未だ立ち上がり出力であるDEF5-4のゲート出力とは、図8(D)に示すようないくつかのゲートDATA[k]が、上から下へ順次DATA[k+1]～[2]が得られる。

【0135】DEF5-2または5-4のゲート出力であるゲートDATA[k]またはDATA[k+1]～[2]とは、クロックゲートゲイブイン1-8または1-7に供給され、これで、それぞれ微小量xまたはyだけ遅延され、これにまた、ゲートDATA[k] (図8(B))またはDATA[k+1]～[2] (図8(D))は、それぞれ、図8(C)または(E)に示す未だ立ち上がり延長されたDDATA[k] (図8(B)またはDDATA2)またはDDATA[k+1]～[2] (図8(D))に供給される。また、記録信号発生器2-1のANDゲート6-1に供給され、

【0136】ANDゲート6-1では、遅延データDDATA[k] (図8(C))およびDATA[k+1]～[2] (図8(E))とANDが演算され、これにより、図8(F)に示す未だ立ち上がり延長されたGATEが生成される。このゲート信号GATEは、ANDゲート6-2に供給される。

【0137】ここで、nM(nTの幅のHレベル)のデータDATA[k]に対しては、幅が(n-x+y)Tのゲート信号GATEが生成される。

- 10 【0138】一方、DEF5-4では、DEF5-2からのデータDATA[k]がゲートされることににより、それより1クロック遅れたゲートDATA1A[k-1]とされ、その反転出力!DATA[k-1] (!は反転を表す)が、ANDゲート5-6の一方の入力端子に供給される。ANDゲート5-6の他方の入力端子には、DEF5-2のゲート出力であるゲートDATA1A[k]が供給されており、ANDゲート5-6では、ゲート!DATA[k-1]とDATA[k]とのANDが演算されることにより、図8(G)に示すように、ゲートDATA[k]の始端をその始端とする、1クロック分のバ尔斯幅を有する始端バ尔斯TOP (この始端バ尔斯TOPは、ゲートDATA[k]の立ち上がりエッジ部分での微分値に相当する)が生成され、ORゲート5-8に供給される。
- 20 【0139】また、ANDゲート5-7には、DEF5-1から、ゲートDATA[k+1]を反転した!DATA[k+1]ゲートと、DEF5-2から、ゲートDATA[k]が供給されており、そこでは、ゲート!DATA[k+1]とDATA[k]とのANDが演算される。この結果、ANDゲート5-7では、図8(H)に示すように、ゲートDATA[k]の終端をその終端とする、1クロック分のバ尔斯幅を有する終端バ尔斯END (この終端バ尔斯ENDは、ゲートDATA[k]の立ち下がりエッジ部分での微分値に相当する)が生成され、ORゲート5-8に供給される。
- 30 【0140】ORゲート5-8では、その出力端子に供給されるクロックCLK (クロックバ尔斯) (図8(A)～(E)始端バ尔斯TOP (図8(G))、または終端バ尔斯END (図8(H)))とORが演算され、これにより、図8(I)に示す未だ立ち上がり延長されたMPが生成される。このゲートMPは、ANDゲート6-2に供給される。

- 40 【0141】ANDゲート6-2では、ゲート信号GATE (図8(F))とゲートMP (図8(I))とのANDが演算され、これにより、図8(J)に示す未だ立ち上がり延長されたMPが生成される。これにより、式1～5M・(n-2)～(0, 5S, 0, 5M, +yM, +0, 5-x, 5)を表現され未だ信号RECが生成される。
- 50 【0142】次に、例44、x=y=0T～5T、式1～5M・(n-2)～(0, 5S, 0, 5

MD + 0, 5 Sで表現されることになり、これは、前述した記録方式Aにおける場合と同じものとなる。

【0143】また、例えば、 $x = y = 0$ 、 $5 \rightarrow 0$ 、 5 とすれば、 $x = 0 M + 0 n = 2$ とし、 $y = 0$ 、 $5 M + 0$ 、 $5 S$ で表現されることになり、これは、前述した記録方式Bにおける場合と同じものとなる。

【0144】以上から、遅延量xおよびyを、 $x = y$ として、 $0, 0$ 乃至 $0, 5$ の範囲で変化させて、線速度（ここでは、上述したように、バーン）にしたがって、いわば、記録方式A（図2（C））とB（図2（D））との間を連続的に変化させることのできる記録方式（記録補償方式）を実現することができる。従つて、線速度に対応した記録補償を容易に施すことができ、例えば、MC A V方式による、記録容量が大で、高速なランダムアクセスが可能なシステムを実現する事が可能となる。

【0145】さらに、遅延量xおよびyを、線速度だけでなく、変調ゲートの並びに基づいて変化させることで、特に、駆動マークおよびスタートに対応するデータに対して、熱干涉などに起因するエッジの位置ずれについての記録補償を行うことが可能となる。

【0146】なお、遅延量xおよびyを、上述したように、 $0, 0$ 乃至 $0, 5$ の範囲で変化させるようにした場合、始端バルスおよび終端バルスのバルス幅は、 $1, 0 T$ 乃至 $1, 5 T$ の範囲で変化するが、遅延量xおよびyを、その他、例えば、 $0, 0$ 乃至 $1, 0$ の範囲で変化させるようにした場合には、始端バルスおよび終端バルスのバルス幅は、 $0, 5 T$ 乃至 $1, 5 T$ の範囲で変化する事となる。

【0147】ここで、以上のようにして得られる記録バルスは、始端バルスおよび終端バルスの位置を他、そのバルス幅も変化する点で、そのエッジの位置のみが変化するバルスは、全く異なってくる。前述した図17の記録補償回路も示されているが、それは、根本的に異なる。

【0148】折し、前述の図17における記録バルスは、その始端バルスおよび終端バルスの位置が固定するも、最後にノットされる所でないと、それに対して、記録回路4から出される記録バルスは、始端バルスから上部エッジと、終端バルスの下部エッジに位置が変化し、これに伴い、それだけのバルス幅が変化する。その結果、記録回路4の規格は、通常では本規格と全く同じであるが、それと、その可変範囲が大幅に自由度が大きくなる記録補償が可能となる。

【0149】したがて、図17の記録バルスの位置を、本記録方法を考慮した場合、記録回路4は $1, 0 T$ 乃至 $1, 5 T$ の範囲で可変範囲をもつ、 $1, 0 S$ と $1, 5 S$ の範囲で可変範囲をもつ、 $CMOS$ で構成されるのが望ましい。しかししながら、 IC 化を図れば、その

C内部に、いかにして、精度の良いプログラマブルディレクタ（インテグレートド IC ）を構成せらるる問題となる。

【0150】したがて、この記録回路4は、図17のように IC を複数のシートをカバーカートに接続して構成し、その接続段数によって、遅延量xおよびyを設定するようにした場合などにあっては、 $CMOS$ プロセスの温度や、速度、さらには電源電圧などの種々の要因によって、 1 乃至 3 倍程度の遅延量の変動が生じる。従つて、當時、所望の遅延量xおよびyを得る事ができるようになることが、記録回路4を $CMOS$ → IC 化するにあたって、重要な問題となる。

【0151】そこで、記録回路4を、例えば、図9に示すように構成し、これにより、 1 チップの IC として実現するようになることができる。

【0152】即ち、図9は、記録回路4の他の構成例を示している。なお、図中、図3における場合と並ぶる部分についても同一の符号を付してあり、以下では、その説明は、適宜省略する。即ち、この記録回路4は、セレクタ7-1および7-2が新たに設けられ、さらに、プロセッサ・ブルディレクタ7-3または7-4がそれぞれ設けられている他は、基本的に、図3における場合と同様に構成されている。

【0153】但し、図9の実施例においては、マイコン1-1は、図3で説明した信号の送受信を行う他、さらに、信号DLE₁→TES₁の送信、並びに信号FLAG₁およびFLAG₂の受信も行い、また、そのまた各信号の送受信に伴う制御なども行なわれておなされている。

【0154】さらに、図9の実施例では、遅延量x、yに対応するRISE₁DATA、FALL₁DATAが、4ビットではなく、6ビットとされており、これに伴い、RAM1-5は12（=6×2）ビットのRAMとされている。また、DEF1-9または2-0は、RAM1-5の出力された12ビットのデータDO「11：0」からなる1位6ビットDO「5：0」または上位6ビットDO「11：6」を、それぞれラッチするようになされている。

【0155】セレクタ7-1は、例説詳べじや本の記述と同様、セレクタ7-1の1-1端子に信号DLE₁→TES₁、7-1-2端子に信号「11：0」のうちの下位6ビット「5：0」が、その入力端子A「B」と「A「5：0」にそれぞれ供給されるようになされている。さらに、セレクタ7-1の入力端子B「5：0」には、DEF1-9の「1」出力が供給されるようになされている。そして、セレクタ7-1は、信号DLE₁→TES₁が、例えは1-1端子は0高をさすと、入力端子A「5：0」またはB「5：0」のうちの力を選択し、その出力端子C「5：0」に供給されるようになされている。即ち、セレクタ7-1は、信号DLE₁→TES₁が1-1端子は0高と、それを1-1端子「1」とするとDLE₁→TES₁が下位6ビット「5：

0」、またはDEF19でラッチされた、RAM15から読み出されたデータDO「11:0」のうちの上位6ビットDO「5:0」が、それが選択して出力する「X」に含まれていて、セレクタ71の出力は、遅延量xに対応するセレクタFALL_DATA「5:0」にして、プログラマブルディレイイン73に供給されるようになされている。

【0156】セレクタ72も、セレクタ71と同様に6ビットのセレクタで、そこには、マイコン11からの信号DL_TESTが、データD「11:0」のうちの上位6ビット「11:6」が、その入力端子A/Bと、A「5:0」はそれ等が供給されるようになされている。さらに、セレクタ72の入力端子B「5:0」には、DEF20のラッチ出力が供給されるようになされている。そして、セレクタ72は、セレクタ71と同様に、信号DL_TESTが、例えは1または0のとき、その入力端子A「5:0」またはB「5:0」への入力を選択し、その出力端子C「5:0」へ出力するようになされている。従って、セレクタ72においては、信号DL_TESTが1または0のとき、マイコン11からのデータD「11:0」のうちの上位6ビット「11:6」、またはDEF20でラッチされた、RAM15から読み出されたデータDO「11:0」のうちの上位6ビットDO「11:6」が、それ等が選択されて出力される。セレクタ72の出力は、遅延量xに対応するデータRISE_DATA「5:0」にして、プログラマブルディレイイン74に供給されるようになされている。

【0157】プログラマブルディレイイン73または74は、プログラマブルディレイイン73または18も同様に、セレクタ71または72から供給される6ビットのセレクタFALL_DATA「5:0」またはRISE_DATA「5:0」にしたがって、データDATA_AまたはDATA_Bをそれ等の遅延量、またはxだけ遅延し、遅延データDATA_AまたはDATA_Bとして出力するようになされている。

【0158】さらに、プロセッサ部を構成するセレクタ73、74には、マイコン11が、信号DL_TEST、クロック信号CLK、選択信号SELECTが供給されるようになされている。そして、後述するように測定処理が実行され、その処理結果は遅延マトリクルGA2、FLAG1が出力されるようになされている。

【0159】即ち、図104、プログラマブルディレイイン73、74構成部を示す図114は、図114に示されたように、各部が各部の構成を複数示している。それは、複数のセレクタ73、セレクタ74は、各部が複数構成されるが、その説明は省略する。

【0160】DEF81の入力端子D「15:4」は、セレクタ71の出力に接続し、Q1の出力端子Qは、出力されて

れ。そこででは、マイコン11からのクロックCLK(図114(A))が、例えは、セレクタ71のQ1端子を通じて、その入力端子D「15:4」に入力され、DEF81の出力(Q)にて、クロックCLKを2分周した信号REF_SIGNAL(図114(B))が出力される。

【0161】即ち、クロックCLKのピューラ比は、一般には50%ではないため、DEF81においては、クロックCLKを2分周することで、ピューラ比が50%の信号REF_SIGNALが生成される。

【0162】この信号REF_SIGNALは、重複遅延素子82およびORゲート83の一方の入力端子に供給される。

【0163】単位遅延素子(DCELL)82は、例えは、図12に示すように、インバータ(INV)を2段に直列接続して構成されており、そこでは、信号REF_SIGNALが僅かな時間だけ遅延され、ORゲート83の他方の入力端子に供給される。ORゲート83では、信号REF_SIGNALと、それを重複遅延素子82で僅かな時間だけ遅延したものとのORが演算され、その演算結果が、セレクタ84の入力端子Bに供給される。

【0164】セレクタ84の入力端子Aには、マルチバ尔斯発生器16からのデータDATA1(DL1_IN)が供給されており(例えは、プログラマブルディレイイン74においては、データDATA2)。また、その入力端子A/Bには、マイコン11からの信号DL_TESTが供給されている。セレクタ84は、信号DL_TESTが、例えは1または0のとき、入力端子AまたはBに供給されるデータDATA1(DL1_IN)またはORゲート83の出力を選択し、その出力端子Cが、出力する。このセレクタ84の出力は、遅延マトリクル85がまたNORゲート87の一方の入力端子に供給される。

【0165】遅延マトリクル85は、例えは、図12の重複遅延素子82とセレクタ84が並列接続され、直列に接続されて構成されている。すなはち、図12の重複遅延素子82とセレクタ84は、並列接続され、その出力端子は、セレクタ84の出力端子Cが、遅延マトリクル85の最初の単位遅延素子に入力される前の信号も供給されている。従って、遅延マトリクル85の出力、セレクタ84の出力、SEL1(1:4)、O端子83の出力端子でそれらの直列に接続して64の信号が供給される。

【0166】セレクタ84には、重複遅延素子85が、SEL4の信号を供給するが、セレクタ71(図9)のデータFALL_DATA「5:0」、DEF11「5:0」が供給され、それはセレクタ71の出力端子Q1の出力端子Qを通じて、セレクタ84

DATA【5:0】が供給される)。セレクタ86は、セレクタ71からのデータFALL_DATA【5:0】に1がかかると、荷重セレクタ85が5:0の64信号【1:0】を通過し、荷重選択セレクタ86、マスクセレクタ88発生器16が5:0データDATA1を、FALL_DATA【5:0】にしたがって選延したデータDDATA1(DL_OUT)として出力する。

【0167】また、このデータDDATA1(DL_OUT)は、NORゲート87の他方の入力端子にも供給される。NORゲート87では、セレクタ84の出力(SEL_IN)と、セレクタ86からのデータDDATA1(DL_OUT)とのNOR(論理和)が演算され、その演算結果NORが、RSFF88(RSフィップフロップ)のS端子に供給される。

【0168】RSFF88のR端子には、マイコン11からのクリア信号CLR(図11(E))が供給されており、そこでは、クリア信号CLRが0または1のとき、それぞれNORゲート87の出力がラッシュされ、またはその内容(ラッシュしている値)がクリアされて出力される。RSFF88の出力(Q)は、フラグFLAG1として、マイコン11に供給される。

【0169】従って、信号DL_TESTが1のとき、セレクタ84では、ORゲート83の出力が選択され、選延セレクタ85とNORゲート87に供給される。ここで、ORゲート83の出力は、信号REF_SIGNAL(図11(B))と、それを僅かに選延した信号の論理和であるから、それは、図11(C)に示すように、信号REF_SIGNALの立ち下がりエッジを僅かに選延したものとなる。

【0170】荷重セレクタ85では、セレクタ84の出力を、0乃至63の単位選延素子でそれぞれ選延した64の信号が出力され、セレクタ86では、その64の信号のうちの、データFALL_DATA【5:0】(DSEL【5:0】)に応するものが選択され、その選延信号DL_OUTが、NORゲート87に供給される。

【0171】ここで、信号REF_SIGNAL(図11(B))に応じて、選延信号DL_OUT(セレクタ84の出力を、0乃至63の単位選延素子でそれぞれ選延した64の信号のうちの、データFALL_DATA【5:0】(DSEL【5:0】)に応するもの)が選択され、その選延信号DL_OUTが、NORゲート87の出力に1が、0が現れる。また、その選延信号DL_OUTがC1長周期Tと一致しないとき、NORゲート87の出力は1、0が現れる。しかし、その選延信号DL_OUTがC1長周期Tと一致するとき、NORゲート87の出力は1、0が現れる。

【0172】NORゲート87の出力はD1として供給される場合(図11(E))、クリア信号CLR(図11(F))に1(111111)がかかると、RSFF88の出力をデータFLAG1も1にする(図11(G))。

た、NORゲート87の出力がL1レベルのままである場合(図11(E))、クリア信号CLR(図11

(F))に1(111111)がかかると、D1が1と、D2が0である場合(図11(G))。

【0173】以上から、信号DL_TESTを0とするとともに、クリア信号CLRを1として、RSFF88をリセットし、データFALL_DATA【5:0】(DSEL【5:0】)、即ち、セレクタ86で選択する信号を変化させ、クリア信号CLRを0にし、その後、信号DL_TESTを1にすることを繰り返すことにより、マスクFLAG1が0のままとなる場合のデータFALL_DATA【5:0】(DSEL【5:0】)が得られ、これが、1クロック分の選延(時間Tの選延)に必要な単位選延素子の投数に対する値ということになる。

【0174】このように、図10のプログラマブルデバイスライン73に表すと、1クロック分の選延に必要な単位選延素子(ここでは、図12に示したようにインバータで構成される)の投数を測定することができる。

【0175】ここで、信号DL_TESTを1にした場合、図9のセレクタ71では、上述したように、マイコン11からのデータD【11:0】のうちの下位6ビットD【5:0】が選択され、データFALL_DATA【5:0】(DSEL【5:0】)として、プログラマブルデバイスライン73に供給される。従って、マイコン11は、マスクFLAG1を監視しながら、上述したように、信号DL_TESTおよびクリア信号CLRを変化させるとともに、データD【11:0】を変化させることで、1クロック分の選延に対するデータFALL_DATA【5:0】を認識することができる。

【0176】一方、記憶部Rを変更する場合では、D1、D2が1と信号DL_TESTを0にするとともに、図9のセレクタ71において、上述したように、DFF19の出力が選択され、これがよりRAM15から認知出されたデータDO【11:0】をD1下端端子の下端DO【5:0】(即ち、マスクFLAG1 DATA【5:0】(DSEL【5:0】)として)D1の下端端子に供給される。この場合、マスクFLAG1データDO【5:0】(DSEL【5:0】)としてD1の下端端子にデータDO【5:0】(DSEL【5:0】)が供給される。この場合、セレクタ84(図11(G))においては、マスクFLAG1 DATA【5:0】(DSEL【5:0】)が選延され、荷重セレクタ85が5:0に供給される。その後、セレクタ86に選択され、データFALL_DATA【5:0】(DSEL【5:0】)が選延され、データFLAG1も1となる(図11(G))。

たが、セレクタ84(図11(G))においては、マスクFLAG1 DATA【5:0】(DSEL【5:0】)が選延され、データFLAG1も1となる(図11(G))。

T)として出力される。

【0177】以上のように、これはクロックゲートライズライン73(74)によれば、1クロック分の遅延時間に必要な単位遅延素子の遅延を測定するとき、同じくして、記録回路4を1クロック化した場合には、CMOSゲートの温度や、速度、さらには電源電圧などの種々の要因によって、1つの単位遅延素子の遅延時間が変動したとしても、その変動に対応して、RAM15に記憶させるデータD「1.1」0³を書き換えることで、対応可能となる。

【0178】なお、上述のような1クロック分の遅延に必要な単位遅延素子の段数の測定と、その測定結果に対するデータへのRAM15の書き換えは、例えば、システムの電源投入時や、あるいは、電源投入後に定期的に行なうようにすることが可能である。

【0179】また、以上のようなプログラマブルゲートライズライン73(74)については、本件出願人が先に出願した、例えば、特願平7-244963号などに、その詳細が開示されている。

【0180】以上、本発明を、相変化ディスクを駆動するディスクドライブに適用した場合について説明したが、本発明は、例えば、カード形状などの、ディスク形状以外の記録媒体を駆動する装置にも適用可能である。さらに、本発明の適用範囲は、相変化による記録や、MCAV方式による記録などに限定されるものではない。

【0181】なお、本実施例においては、遅延量xとyを、その値を同一にして変化させるようにしたが、遅延量xとyは、同一である必要はない。

【0182】また、本実施例では、クロックゲートライズライン17において、DEF53(図7)で得られた半クロック時間的に先づけデータD1A1A1を遅延させようとしたが、DEF53では、1クロックだけ時間的に先づけられるデータを生成し、クロックゲートライズライン17において、このデータを遅延させようとするよりも可能である。この場合、データD1のデータに初期化記録バースト、式xS+(1.5-x)M+(n-3)-(0.5S+0.5M)+0.5S+yM+(1.0-y)Sで表されることが出来る。

【0183】

【発明の動機】請求項1に記載する記録装置において記録媒体に記録する記録方法に本件出願の記録バルスの始端位置の位置を変化させることがあり、そのバルス幅が変化されると同時に、終端バルスの終端位置が変化する。そこで、初期化速度などに対する記録補償を容易に構成することが可能となる。

【0184】請求項1に記載の記録媒体には、始端バルス位置の初期化速度が初期値であるときに初期化速度を始端バルス、また、終端バルスの終端位置が初期化位置を変化させており、その初期化幅が変化され

記録バルスにしたがってマークとスペースが形成されており、そこで、例えば、高密度記録において空間的なダム構造が可能となる。

【0185】請求項1に記載する記録装置においては、長さがn字のマークに対応する記録バルスが、式xS+(1.5-x)M+(n-2)-(0.5S+0.5M)+yM+(0.5-y)S、または式xS+(1.5-x)M+(n-3)-(0.5S+0.5M)+0.5S+yM+(1.0-y)Sで表され、この記録バルスにしたがって記録が行われる。従って、例えば、継続度などに対する記録補償を容易に施すことが可能となる。

【図面の簡単な説明】

【図1】本発明を適用したディスクドライブの一実施例の構成を示すブロック図である。

【図2】図1の記録回路4における記録補償方法を説明するための図である。

【図3】図1の記録回路4の構成例を示すブロック図である。

【図4】図3のコントローラ42の構成例を示す回路図である。

【図5】図3のマルチバース発生器16の構成例を示す回路図である。

【図6】図3の記録信号発生器21の構成例を示す回路図である。

【図7】図3のマルチバース発生器16、プログラマブルゲートライズライン17、18、および記録信号発生器21の構成例を示すブロック図である。

【図8】図7のマルチバース発生器16、17、18の動作を説明するためのダイヤグラムを示す。

【図9】図1の記録回路4の他の構成例を示すブロック図である。

【図10】図9に示す記録回路4の構成を示す。

【図11】図10に示す記録回路4の構成を示す。

【図12】図10の単位遅延素子82の構成を示す回路図である。

【図13】図10の直通データバス85の構成例を示す。

【図14】相変化ディスクの記録原理を説明するための図である。

【図15】ターゲット媒体の構造を説明するための図である。

【図16】相変化記録補償方法を説明するための図である。

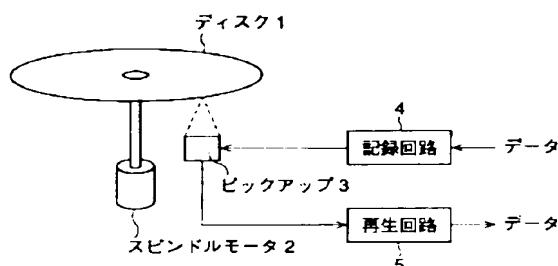
【図17】相変化記録補償を行なう回路47の構成を示す。

【参考】説明】

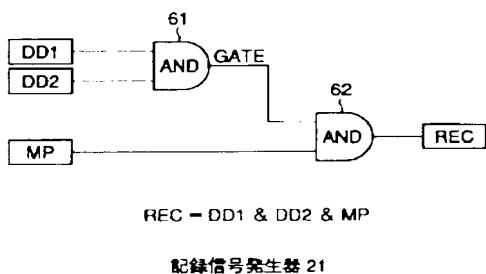
1 ディスク, 2 スピンドルモータ, 3 ピックアップ, 4 記録回路, 5 再生回路, 11 パソコン, 12 パソコン用端子, 13 フロッピーディスク, 14 フロッピーディスク, 15 RAM, 16 フロッピーディスク発生器, 17, 18 プログラマブルカシメイシン, 19, 20 DFF, 21 記録信号発生器, 22 ゲート回路, 31 乃至 34 AND ゲート, 35, 36 NOR ゲート, 37 インバータ (NOT ゲート), 38 OR ゲート, 39, 40 A

ND ゲート, 51 乃至 54 DFF, 55 インバータ, 56, 57 AND ゲート, 58 OR ゲート, 61, 62 AND ゲート, 71, 72 OR ゲート, 73, 74 フロッピーディスク発生器, 81 DFF, 82 単位遅延素子, 83 OR ゲート, 84 セレクタ, 85 遅延マトリクス, 86 セレクタ, 87 NOR ゲート, 88 RS FF

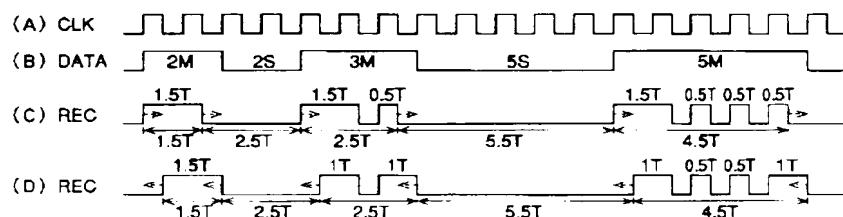
【図1】



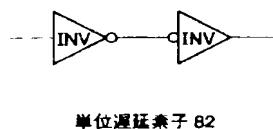
【図6】



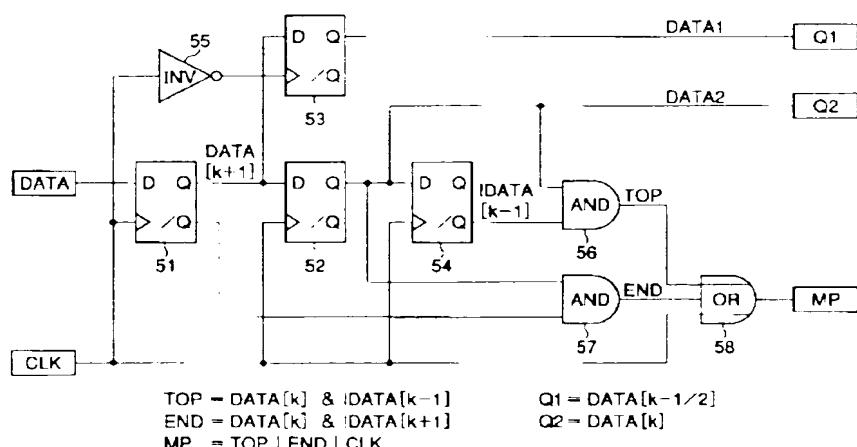
【図2】



【図12】

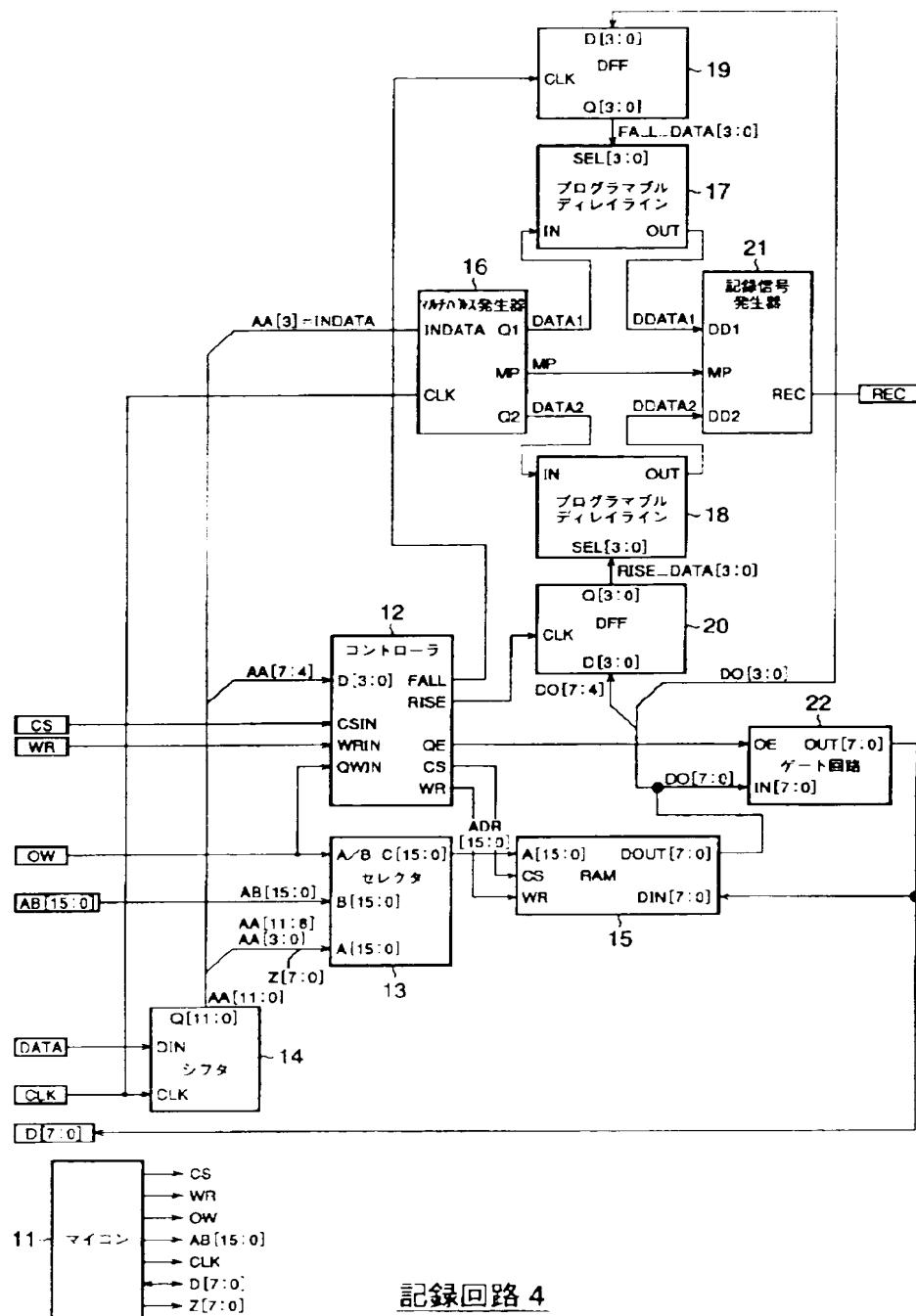


【図5】

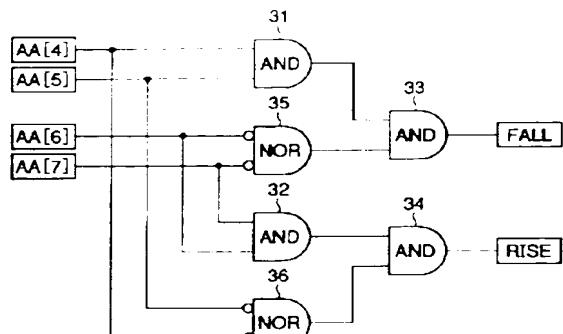


マルチパルス発生器 16

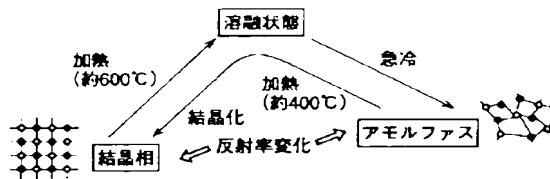
[43]



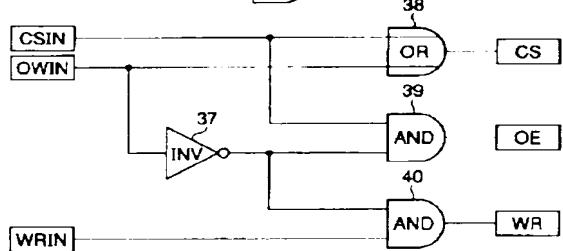
【図4】



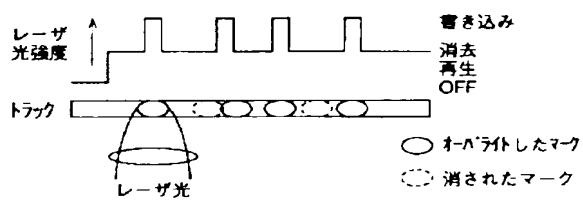
【図4】



相変化ディスクの記録原理



【図15】



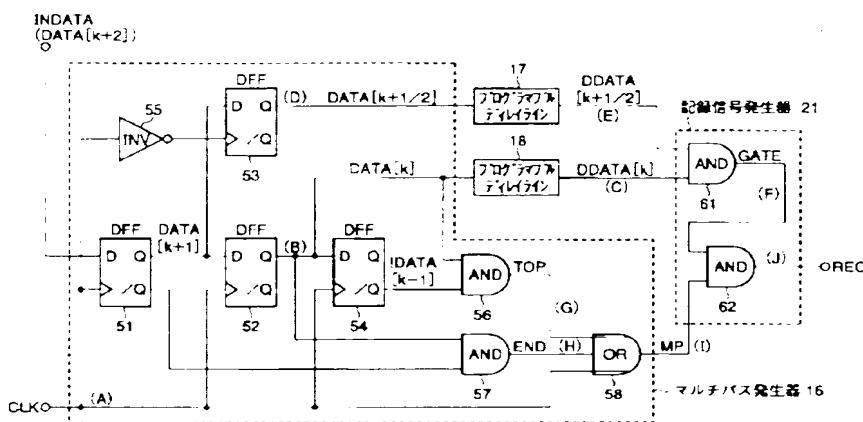
ダイレクト・オーバライト

FCOUT = D[0] & D[1] & !D[2] & !D[3]
RCOUT = !D[0] & !D[1] & D[2] & D[3]

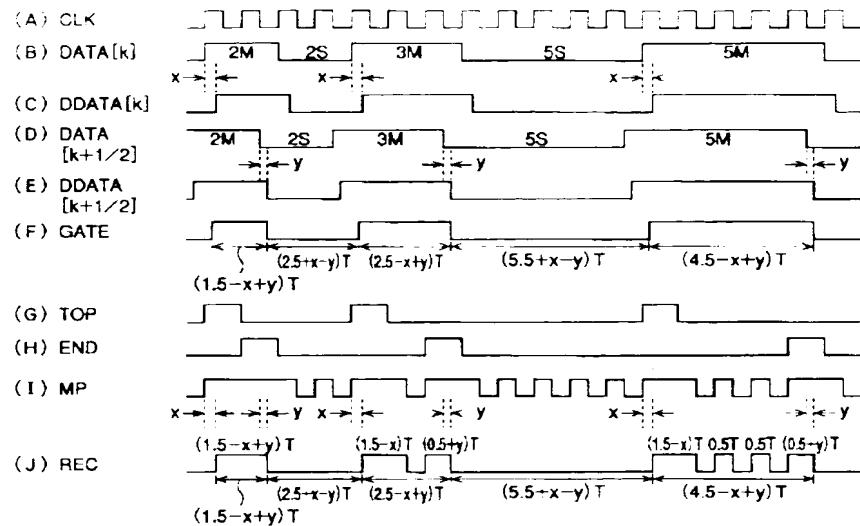
OEOUT = CSIN & IOWIN
CSOUT = CSIN | CWIN
WROUT = WRIN & IOWIN

コントローラ 12

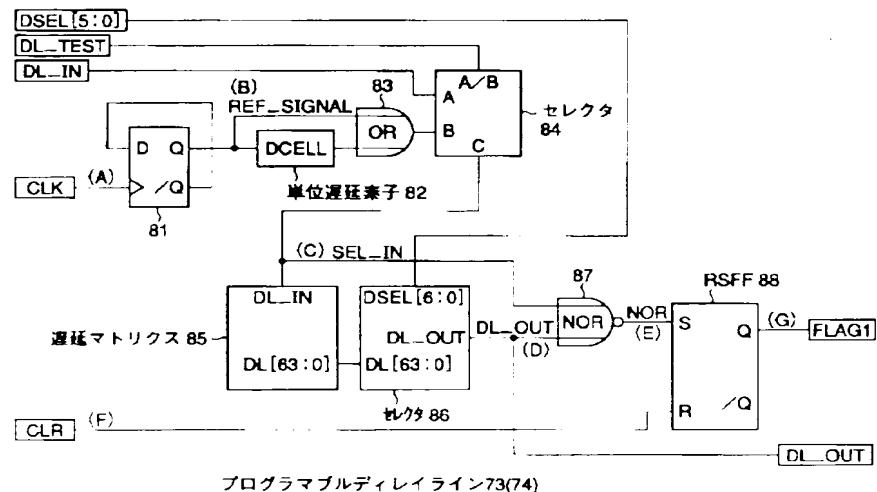
【図7】



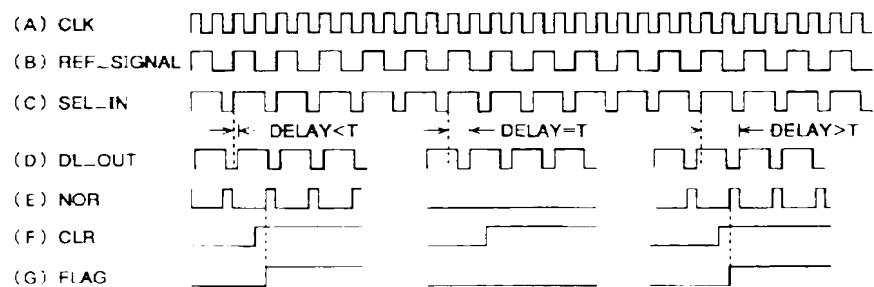
【図8】



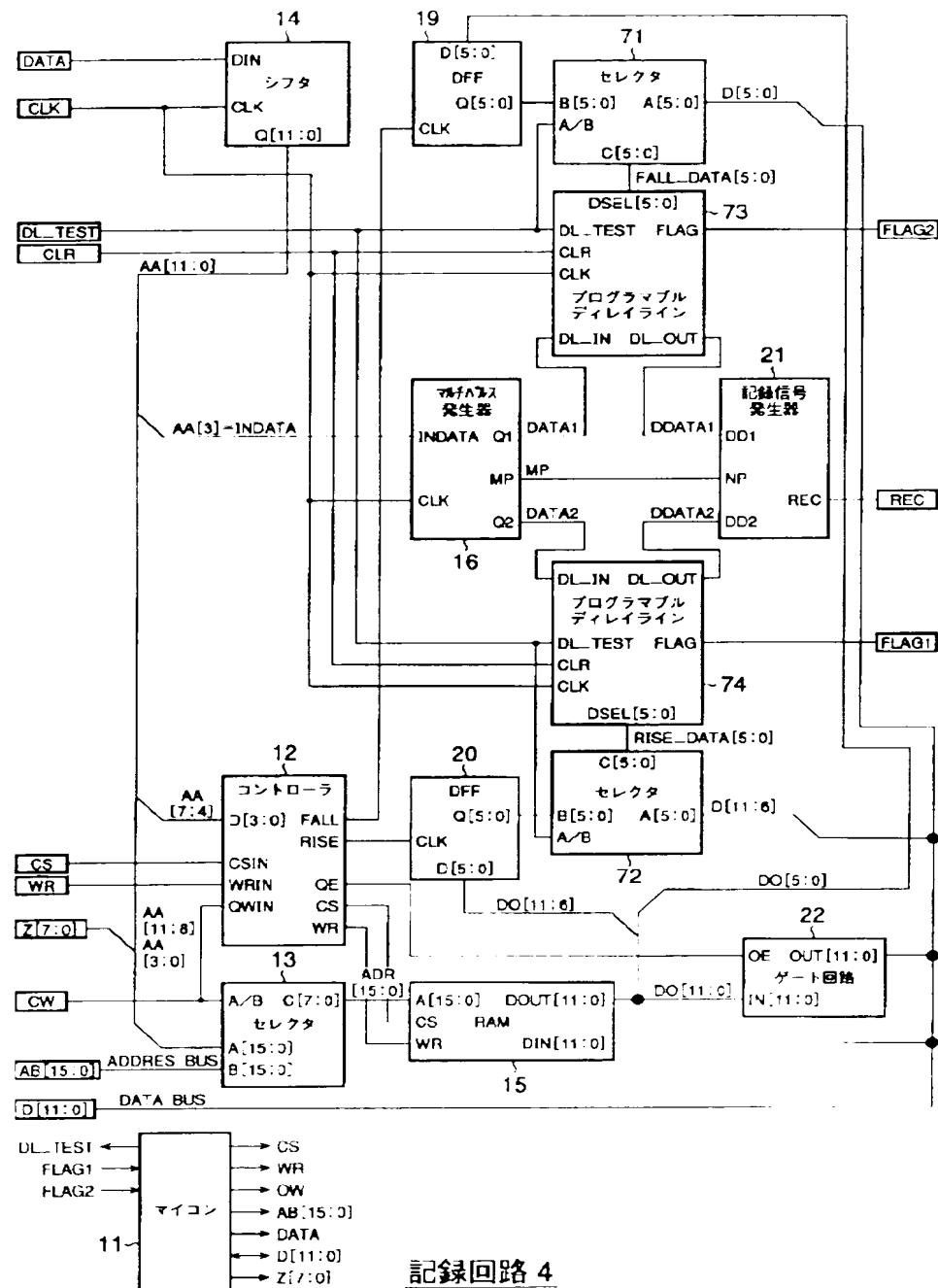
【図10】



【図11】

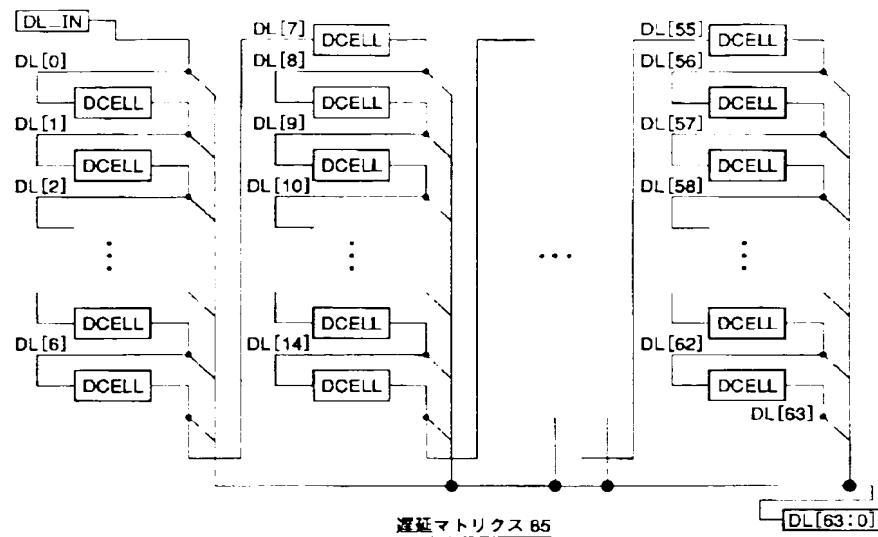


【図9】

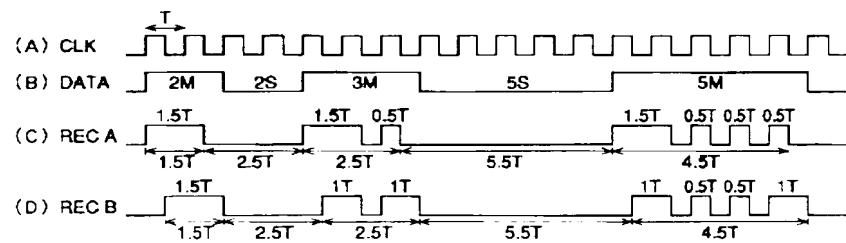


記録回路 4

【図13】



【図16】



【図17】

